

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-139438

(43)Date of publication of application : 27.05.1997

(51)Int.Cl.

H01L 21/8249

H01L 27/06

H01L 27/04

H01L 21/822

H01L 29/78

(21)Application number : 07-297148

(71)Applicant : DENSO CORP

(22)Date of filing : 15.11.1995

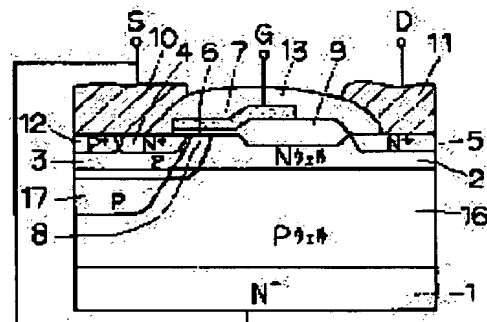
(72)Inventor : NAKAYAMA YOSHIAKI  
MURASE TAMOTSU  
MIZUNO SHOJI  
MAEDA HIROSHI  
IDA MAKIO

## (54) SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MANUFACTURING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the breakdown of devices in a channel formation region of a relaxed surface field type LD(lateral diffused) MOS even if a counter electromotive voltage is applied to a drain.

**SOLUTION:** A P well 16 and an N well 2 are formed on an N-type substrate 1. A surface electrode 10 and the N-type substrate 1 have the same potential. The dopant density of a drift region in the N well 2 is set to satisfy RESURF (relaxed surface field) conditions. With this structure, effects of high withstand voltage and low on resistance can be obtained. Even if a counter electromotive voltage is applied to a drain electrode 11, a parasitic bipolar transistor is formed in the N well 2, the P well 16 and on the N type substrate 1. Since a current path is thereby formed in the substrate direction, it is possible to prevent the breakdown of devices in a channel formation region when a counter electromotive voltage is applied to the drain electrode 11.



## LEGAL STATUS

[Date of request for examination]

26.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3114592

[Date of registration]

29.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-139438

(43)公開日 平成9年(1997)5月27日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8249		H 0 1 L 27/06	3 2 1 E
	27/06		27/04	H
	27/04		29/78	3 0 1 K
	21/822			
	29/78			

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21)出願番号 特願平7-297148

(22)出願日 平成7年(1995)11月15日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 中山 喜明

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 村瀬 保

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 水野 祥可

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(74)代理人 弁理士 伊藤 洋二

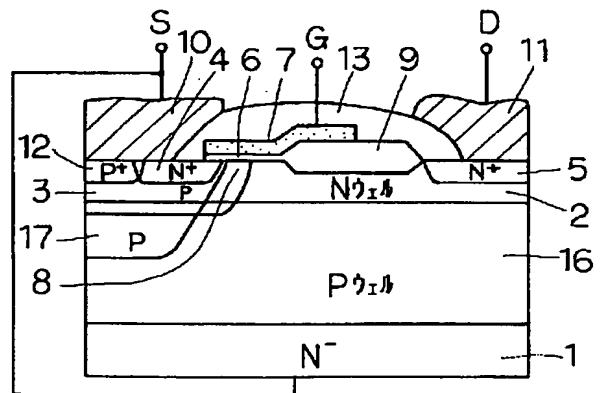
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 表面電界緩和型LDMOSにおいて、ドレインに逆起電圧が印加された場合でも、チャネル形成部分での素子破壊を防止する。

【構成】 N型基板1にPウェル16とNウェル2の2重ウェルを形成し、さらにソース電極10とN型基板1とを同電位にしている。なお、Nウェル2のドリフト領域は、いわゆるRESURF条件を満たすようなドーパント濃度が設定されており、このような構造により高耐圧、低オン抵抗の効果を得ることができる。さらに、ドレイン電極11に逆起電圧が印加された場合でも、Nウェル2、Pウェル16およびN型基板1にて寄生バイポーラトランジスタが形成され、これにより基板方向に電流経路が形成されるため、逆起電圧印加時のチャネル形成部分の素子破壊を防止することができる。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体層に、第2導電型の第1ウェルが形成されるとともにこの第1ウェル内に第1ウェルよりも浅く第1導電型の第2ウェルが形成されており、

前記第2ウェル内にソース領域、チャンネル領域およびドレイン領域が形成され、さらに前記チャンネル領域上にゲート電極が形成されて、前記第2ウェルをドリフト領域とした表面電界緩和型のMOSトランジスタが構成されてなる半導体装置であって、

前記MOSトランジスタを非作動状態とする電圧が前記ゲート電極に印加され前記ドレイン領域に所定電圧以上の高電圧が印加された時に、前記第2ウェルから前記第1ウェルおよび前記半導体層を介して電流経路が形成されることを特徴とする半導体装置。

【請求項2】 前記ソース領域と前記半導体層が同電位に設定されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第2ウェル、前記第1ウェルおよび前記半導体層間に寄生バイポーラトランジスタが形成され、この寄生バイポーラトランジスタにより前記電流経路が形成されることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記第2ウェルと前記半導体層間がパンチスルーして前記電流経路が形成されることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】 前記ソース領域を含んで前記第1ウェルに到達するベースが形成されていることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置。

【請求項6】 ソース領域、チャンネル領域およびドレイン領域を有し、さらに前記チャンネル領域上にゲート電極が形成されており、前記チャンネル領域および前記ドレイン領域間にドリフト領域が形成されてなるMOSトランジスタを有する半導体装置であって、第1導電型の半導体層に、第2導電型の第1ウェルが形成されるとともにこの第1ウェル内に第1ウェルよりも浅く第1導電型の第2ウェルが形成され、少なくともこの第2ウェル内に前記ドリフト領域および前記ドレイン領域が形成されており、

さらに前記ソース領域と前記半導体層とが同電位に設定されていることを特徴とする半導体装置。

【請求項7】 N型の第1半導体層が第1、第2の素子領域に分離されており、第1の素子領域に表面電界緩和型のMOSトランジスタが形成され、前記第2の素子領域に前記第1半導体層をコレクタ層としてバイポーラトランジスタが形成されている半導体装置であって、前記第1の素子領域において、前記第1半導体層に、P型の第1ウェルが形成されるとともにこの第1ウェル内に第1ウェルよりも浅くN型の第2ウェルが形成されており、前記第2ウェル内にソース領域、チャンネル領域お

よびドレイン領域が形成され、さらに前記チャンネル領域上にゲート電極が形成されて、前記第2ウェルをドリフト領域とした前記表面電界緩和型のMOSトランジスタが形成されていることを特徴とする半導体装置。

【請求項8】 前記第1半導体層の下にN型の第2半導体層が形成され、さらに基板表面から前記第2半導体層に至るN型のディープ層が形成されており、このディープ層および前記第2半導体層による電位設定にて、前記ソース領域と前記第1半導体層が同電位とされていることを特徴とする請求項7に記載の半導体装置。

【請求項9】 N型の半導体層が第1、第2の素子領域に素子分離された半導体基板に対し、第1の素子領域に表面電界緩和型のMOSトランジスタを形成し、前記第2の素子領域にバイポーラトランジスタを形成する半導体装置の製造方法であって、

前記第1の素子領域において、前記半導体層に、P型の第1ウェルおよびN型の第2ウェルを形成するためのイオン注入を行い、同時拡散させることにより、前記第1ウェルを形成するとともにこの第1ウェル内に第1ウェルよりも浅く前記第2ウェルを形成し、

その後、前記第2ウェル内にソース領域、チャンネル領域およびドレイン領域を形成するとともに、前記チャンネル領域上にゲート電極を形成して、前記第2ウェルをドリフト領域とした前記MOSトランジスタを形成し、また、前記第2の素子領域においては、前記半導体層をコレクタ層としてバイポーラトランジスタを形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、表面電界緩和型MOSトランジスタを有する半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】従来、NチャンネルLDMOS (Lateral Diffused MOS) トランジスタ（以下、単にLDMOSという）として図8に示すものがある。このLDMOSは、図に示すように、N型基板1にNウェル2が形成され、このNウェル2内にチャンネルPウェル3が形成されるとともにチャンネルPウェル3内にN型拡散層4が形成され、またNウェル2内にN型拡散層5が形成されている。基板表面にはゲート酸化膜6を介してゲート電極7が形成されており、ゲート電極7直下のチャンネルPウェル3の表面領域にはチャンネル領域8が形成されている。

【0003】そして、N型拡散層4をソース領域、N型拡散層5をドレイン領域とし、LOCOS酸化膜9下のNウェル2をドリフト領域としている。なお、10、11はそれぞれソース電極、ドレイン電極であり、12はチャンネルPウェル3の電位を取るための拡散層、13は層間絶縁膜である。このようなLDMOSにおいて、オン抵抗を小さくして電流を流しやすくするために、Nウ

10

20

30

40

50

エル2の濃度を高くすると、ドリフト領域で空乏層が拡大しにくくなり高耐圧を得ることができなくなる。逆に、Nウェル2の濃度を低くすると、高耐圧化を図ることができる反面、電流が流れにくくなりオン抵抗が大きくなるという問題がある。

【0004】そこで、このような問題を解決するものとして、特公昭59-24550号公報および特開平5-267652号公報に示すものがある。このものの概略構成を図9に示す。このものは、P型基板14にNウェル2を形成したものである。この場合、Nウェル2を拡散形成すると、Nウェル2表面での濃度が高くなり、Nウェル2表面での電流が流れやすくなるとともに、Nウェル2全体で空乏層が広がりやすくなるため、高耐圧化を図ることができる。このようなLDMOSは表面電界緩和型(RESURF)LDMOSと呼ばれるもので、Nウェル2のドリフト領域のドーパント濃度は、上記公報に記載されているような、いわゆるRESURF条件を満たすように設定されている。

【0005】

【発明が解決しようとする課題】上記表面電界緩和型LDMOSにおいては、ドレイン電極11とP型基板14とが電気的に接続されて構成されている。このため、図10に示すように、ドレイン電極11にコイル等のL負荷15を接続してL負荷15を駆動する場合、ゲート電極7に印加する電圧をオフにすると、L負荷15の逆起電圧がドレイン電極11に印加される。この逆起電圧は、しばしば非常に高い電圧となることがある。

【0006】この場合、上記した表面電界緩和型LDMOSでは、その逆起電圧に対する電流逃避経路が考慮されていないため、逆起電圧印加時に、チャンネルPウェル3とNウェル2間のPN接合がブレイクダウンし、チャンネルPウェル3からP<sup>+</sup>拡散層12を介してソース電極10に電流が流れることにより、チャンネルPウェル3の電位がN型拡散層4の電位よりも上昇することで、N型拡散層4をエミッタ、チャンネルPウェル3をベース、Nウェル2をコレクタとする寄生トランジスタが動作してしまい、狭い領域にて矢印方向に大電流が流れる。従って、この狭い領域に大電流が流れるため、素子が発熱しやすくなり、逆起電圧が小さくてもチャンネル形成部分で素子破壊が生じる。よって、素子の破壊耐量が低下してしまう。

【0007】本発明は上記問題に鑑みため、表面電界緩和型LDMOSにおいて、ドレインに逆起電圧のような電圧が印加された場合でも、チャンネル形成部分での素子破壊を防止することを第1の目的とする。また、上記した表面電界緩和型LDMOSは、P型基板14上に形成される。従って、PNPトランジスタより電流特性のよいV-NPNTトランジスタ(以下、単にNPNT<sub>r</sub>という)と上記表面電界緩和型LDMOSとを同一基板上に形成しようとする、NPNT<sub>r</sub>におけるコレクタ

層をなすN層が深く形成されているため、両者を同一基板上に形成することができないという問題がある。この場合、図8に示す構造のLDMOSを用いればNPNT<sub>r</sub>と同一基板上に形成することができるが、上述したようにLDMOSにおいて高耐圧、オン抵抗の両立を図ることができない。

【0008】本発明は、表面電界緩和型LDMOSとNPNT<sub>r</sub>を同一基板上に形成することを第2の目的とする。

【0009】

【課題を解決するための手段】上記第1の目的を達成するため、請求項1に記載の発明においては、第1導電型の半導体層(1)に、第2導電型の第1ウェル(16)が形成されるとともにこの第1ウェル(16)内に第1ウェル(16)よりも浅く第1導電型の第2ウェル(2)が形成されており、前記第2ウェル(2)内にソース領域(4)、チャンネル領域(8)およびドレイン領域(5)が形成され、さらに前記チャンネル領域(8)上にゲート電極(7)が形成されて、前記第2ウェル(2)をドリフト領域とした表面電界緩和型のMOSトランジスタが構成されてなる半導体装置であって、前記MOSトランジスタを非動作状態とする電圧が前記ゲート電極(7)に印加され前記ドレイン領域(5)に所定電圧以上の高電圧が印加された時に、前記第2ウェル(2)から前記第1ウェル(16)および前記半導体層(1)を介して電流経路が形成されることを特徴としている。

【0010】請求項2に記載の発明では、請求項1に記載の半導体装置において、前記ソース領域(4)と前記半導体層(1)が同電位に設定されている。請求項3に記載の発明では、請求項1又は2に記載の半導体装置において、前記第2ウェル(2)、前記第1ウェル(16)および前記半導体層(1)間に寄生バイポーラトランジスタ(18)が形成され、この寄生バイポーラトランジスタ(18)により前記電流経路が形成されることを特徴としている。

【0011】請求項4に記載の発明では、請求項1又は2に記載の半導体装置において、前記第2ウェル(2)と前記半導体層(1)間がパンチスルーして前記電流経路が形成されることを特徴としている。請求項5に記載の発明では、請求項1乃至4のいずれか1つに記載の半導体装置において、前記ソース領域(4)を含んで前記第1ウェルに到達するベース(17)が形成されていることを特徴としている。

【0012】請求項6に記載の発明においては、ソース領域(4)、チャンネル領域(8)およびドレイン領域(5)を有し、さらに前記チャンネル領域上にゲート電極(7)が形成されており、前記チャンネル領域および前記ドレイン領域(5)間にドリフト領域が形成されてなるMOSトランジスタを有する半導体装置であって、第1

導電型の半導体層(1)に、第2導電型の第1ウェル(16)が形成されるとともにこの第1ウェル(16)内に第1ウェル(16)よりも浅く第1導電型の第2ウェル(2)が形成され、少なくともこの第2ウェル(2)内に前記ドリフト領域および前記ドレイン領域(5)が形成されており、さらに前記ソース領域(4)と前記半導体層(1)とが同電位に設定されていることを特徴としている。

【0013】また、上記第2の目的を達成するため、請求項7に記載の発明においては、N型の第1半導体層(21a)が第1、第2の素子領域に分離されており、第1の素子領域に表面電界緩和型のMOSトランジスタ(LDMOS)が形成され、前記第2の素子領域に前記第1半導体層(21a)をコレクタ層としてバイポーラトランジスタ(NPNT r)が形成されている半導体装置であって、前記第1の素子領域において、前記第1半導体層(21a)に、P型の第1ウェル(16)が形成されるとともにこの第1ウェル内(16)に第1ウェル(16)よりも浅くN型の第2ウェル(2)が形成されており、前記第2ウェル(2)内にソース領域(4)、チャンネル領域(8)およびドレイン領域(5)が形成され、さらに前記チャンネル領域(8)上にゲート電極(7)が形成されて、前記第2ウェル(2)をドリフト領域とした前記表面電界緩和型のMOSトランジスタが形成されていることを特徴としている。

【0014】請求項8に記載の発明では、請求項7に記載の半導体装置において、前記第1半導体層(21a)の下にN型の第2半導体層(21b)が形成され、さらに基板表面から前記第2半導体層(21b)に至るN型のディープ層(26)が形成されており、このディープ層(26)および前記第2半導体層(21b)による電位設定にて、前記ソース領域(4)と前記第1半導体層(21a)が同電位とされていることを特徴とする。

【0015】請求項9に記載の発明においては、N型の半導体層(21a)が第1、第2の素子領域に素子分離された半導体基板に対し、第1の素子領域に表面電界緩和型のMOSトランジスタ(LDMOS)を形成し、前記第2の素子領域にバイポーラトランジスタ(NPNT r)を形成する半導体装置の製造方法であって、前記第1の素子領域において、前記半導体層(21a)に、P型の第1ウェル(16)およびN型の第2ウェル(2)を形成するためのイオン注入を行い、同時拡散させることにより、前記第1ウェル(16)を形成するとともにこの第1ウェル(16)内に第1ウェル(16)よりも浅く前記第2ウェル(2)を形成し、この後、前記第2ウェル(2)内にソース領域(4)、チャンネル領域(8)およびドレイン領域(5)を形成するとともに、前記チャンネル領域(8)上にゲート電極(7)を形成して、前記第2ウェル(2)をドリフト領域とした前記MOSトランジスタ(LDMOS)を形成し、また、

前記第2の素子領域においては、前記半導体層(21a)をコレクタ層としてバイポーラトランジスタ(NPNT r)を形成することを特徴としている。

【0016】なお、上記各手段のカッコ内の符号は、後述する実施例記載の具体的手段との対応関係を示すものである。請求項1乃至6に記載の発明によれば、第1導電型の半導体層に第2導電型の第1ウェルと第1導電型の第2ウェルが形成された2重ウェル構造を有し、この第2ウェル内にMOSトランジスタのドリフト領域とドレイン領域が形成されている。

【0017】ここで、ドレイン領域に逆起電圧が印加されたような場合には、第2ウェルから第1ウェルおよび半導体層を介して、面積の広い領域にて電流経路が形成される。従って、そのような逆起電圧が印加された場合でも、上記電流経路の確保により、チャンネル形成部分での素子破壊を防止することができる。また、請求項7、8に記載の発明によれば、N型の半導体層にP型の第1ウェルとN型の第2ウェルが形成された2重ウェル構造を有して表面電界緩和型MOSトランジスタを構成しているから、N型の半導体層をコレクタ層とするNPNT rと同一基板上に形成することができる。

【0018】請求項9に記載の発明によれば、そのような表面電界緩和側MOSトランジスタとNPNT rとを同一基板上に形成する製造方法であって、第1、第2のウェルを同時拡散により形成するようにしているから、マスク1枚で第1、第2のウェルを形成することができる。

#### 【0019】

【発明の実施の形態】以下、本発明を図に示す実施例について説明する。図1に本発明の一実施例を示す表面電界緩和型LDMOSの断面構成を示す。この図1に示すように、本実施例においては、N型基板1にPウェル16を形成し、その中にNウェル2を形成する2重ウェル構造としており、さらにソース電極10とN型基板1とが同電位になるように構成されている。なお、Nウェル2のドリフト領域は、いわゆるRESURF条件を満たすようにドーパント濃度が設定されている。また、図中の符号で図8、図9に示すものと同一のものは、同一もしくは均等の構成を示している。

【0020】図1に示す表面電界緩和型LDMOSは、高耐圧および低オン抵抗の本来の効果を有するとともに、ドレイン電極11にL負荷が接続された場合の逆起電圧印加時のチャンネル形成部分の破壊を防止することができるものである。この点につき図2を用いて説明する。ドレイン電極11にL負荷15が接続されている場合、ゲート電極7に印加される電圧を低下させてスイッチオフした時、ドレイン電極11に逆起電圧が印加される。ここで、Nウェル2とPウェル16との間に形成される寄生ダイオードVZ1と、Nウェル2とチャンネルPウェル3との間に形成される寄生ダイオードVZ2とが

あるが、Nウェル2内の電位上昇により、寄生ダイオードVZ1が先にブレイクダウンする。

【0021】すなわち、上記のような逆起電圧が印加されると、Nウェル2とPウェル16における電位分布は図3に示すようになり、ドレイン領域5からソース領域4方向への横方向に比べて基板方向への縦方向に電位勾配が急になっており、これにより寄生ダイオードVZ1が先にブレイクダウンする。この場合、Pウェル16での抵抗R2によりPウェル16内の電圧が上昇していき、Pウェル16とN型基板1間の寄生ダイオードVZ3がオンし、Nウェル2とPウェル16とN型基板1による寄生バイポーラトランジスタ18がオンして、面積の広い基板方向に電流が流れるため、電流を分散することができ、従って、電流が流れることによる発熱を抑制できる。これによって、破壊耐量の低いチャネル形成部分での素子の破壊を防止でき、素子の破壊耐量を向上させることができる。

【0022】また、ソース領域4を含んでPウェル16に達するベース17が設けられており、Pウェル16からソース側に電流Iを流すようにしている。このことによりチャネル形成部分には電流が一層流れにくくなる。なお、基板方向への電流経路により十分な電流を流すことができる場合には、ベース17はなくてもよい。なお、上記構成においては、寄生バイポーラトランジスタ18により基板方向に電流を流すようにするものを示したが、Pウェル16が基板方向に十分薄く形成されている場合には、寄生バイポーラ動作でなく、パンチスルーにより基板方向に電流を流すことができる。

【0023】次に、上記した表面電界緩和型LDMOSをCMOSおよびNPNT rとともに、同一基板上に形成した構成を図4に示す。この図4に示すものは、SOI (Silicon On Insulator) 構造としたものである。すなわち、N<sup>+</sup>基板21b上にN<sup>-</sup>層(図1のN型基板1に相当する層)21aを形成したN型基板21とP型基板20とをSiO<sub>2</sub>等の絶縁膜22を介して貼り合わせた貼り合わせ基板に、トレンチ溝23を形成するとともにその溝内に酸化膜を形成して、素子分離された複数の素子領域を形成し、それぞれの素子領域にLDMOS、CMOS、NPNT rを形成している。

【0024】この図4に示すものの製造方法を、図5、図6に示す工程図を基に説明する。まず、上記した貼り合わせ基板を用意し、それにトレンチ溝23を形成するとともに、その溝内に酸化膜を形成し、さらに多結晶シリコン24を埋設する。なお、この状態ではN型基板21表面に酸化膜25が形成されている。そして、図5

(A)に示すように、LDMOSの形成領域にディープN<sup>+</sup>層26を形成し、その後、Pウェル16、Nウェル2を形成するためのイオン注入を行い、それらを同時拡散させる。この場合、Pウェルにはボロン(B)、Nウェルには砒素(As)を用い、両者の拡散係数の相違に

より、Pウェルを深く、Nウェルを浅く形成する。この工程においては、ボロンと砒素の同時拡散を行っているため、それに必要なマスクを1枚のみとすることができ

【0025】なお、上記イオン注入において、ボロンのドーズ量は $3 \times 10^{12} \sim 1 \times 10^{13}$  原子/cm<sup>2</sup>であり、砒素のドーズ量は $3 \times 10^{12} \sim 1 \times 10^{13}$  原子/cm<sup>2</sup>である。また、注入したイオンを拡散させる場合、1200℃で約600分程度のドライブインを行う。なお、RESURF構造の条件としては、Nウェル層2の表面からPウェル層16とのPN接合までの深さ方向の不純物濃度が、数式1で示す関係になる必要がある。

【0026】

【数1】

$$\int_0^{x_j} N_d(x) dx < 1 \sim 2 \times 10^{12} \text{ cm}^{-2}$$

【0027】ここで、 $N_d(x)$ は、単位体積当たりの不純物濃度を表し、 $x$ は深さを表し、 $x_j$ は、Nウェル層2とPウェル層16とのPN接合深さを表す。次に、図5(B)に示すように、CMOSの形成領域にPウェル27、Nウェル28を形成するためのイオン注入を行い、拡散させる。その後、図5(C)に示すように、NPNT rの形成領域にイオン注入を行い、ドライブインしてベース28を形成する。この時、必要であればLDMOS領域にも同様にベース17を形成する。

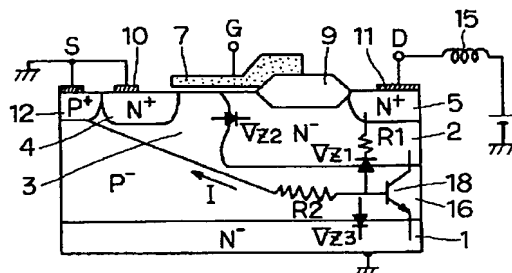
【0028】次に、図6(A)に示すように、LOCOS酸化を行う。この工程により、LDMOSの形成領域にLOCOS酸化膜9が形成される。この後、LDMOSのゲート酸化膜6を形成するために、基板表面の酸化を行う。そして、基板表面にPoly Siを形成し、リンをドーブした後、フォトリソエッチングしてパターンニングを行いLDMOSのゲート電極7を形成する。

【0029】この後は、通常の素子形成工程により、LDMOS、CMOS、NPNT rを順次形成していき、最終的に図4に示すものを構成する。なお、LDMOSの形成領域においては、ゲートをマスクとしてNウェル2内にチャネルPウェル8およびソース領域4を拡散形成する。上記の製造方法により、LOCOS酸化膜9の長さを2μmとし、Pウェル16の最表面濃度を $8 \times 10^{15} \sim 2 \times 10^{16}$  /cm<sup>3</sup>、Nウェル2の最表面濃度を $3 \times 10^{16} \sim 6 \times 10^{16}$  /cm<sup>3</sup>、Nウェル2の深さを1.5~2.0μm程度とした表面電界緩和型LDMOSを形成した。その場合、ソース、ドレイン間の耐圧を70~80V程度、Nウェル2-Pウェル16間の耐圧を65V程度とすることができた。

【0030】なお、図4に示すものでは、SOI構造とし絶縁膜22およびトレンチ溝23を用いて素子分離を行うものを示したが、図7に示すように、素子分離用埋め込み層30および素子分離用P層31にて素子分離を行うようにしてもよい。また、図4あるいは図7に示す

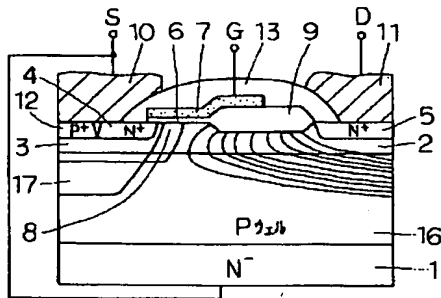
【0033】従って、図4あるいは図7に示すような基板表面からブレイクダウン電流をグランドへ流す構成とする場合には、N型層1をPウェル16の下に設けて、基板方向へ寄生トランジスタを発生させチャネルPウェルとは異なる導電型のN層を用いて電流を流すようにすれば、チャネルPウェル3にはブレイクダウン電流が流

【图2】

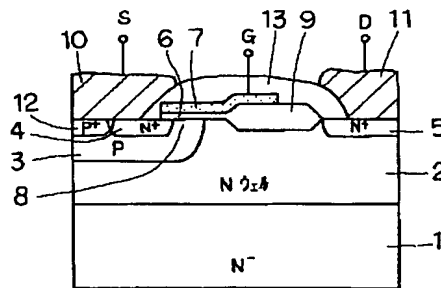




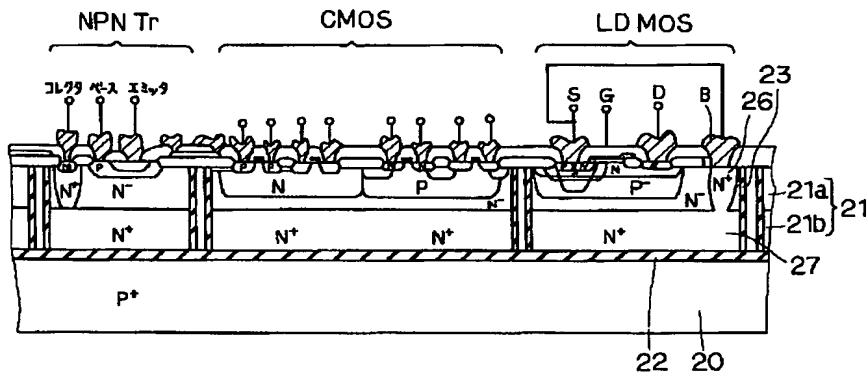
【図3】



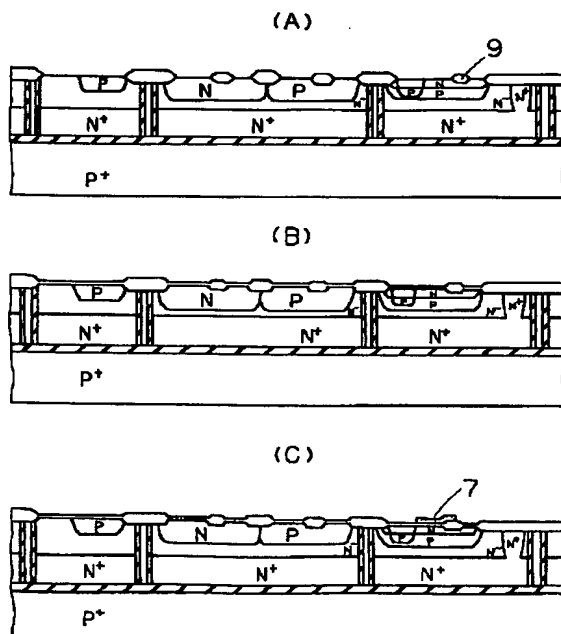
【図8】



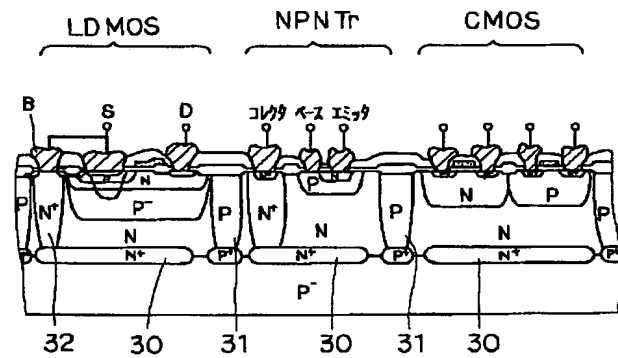
【図4】



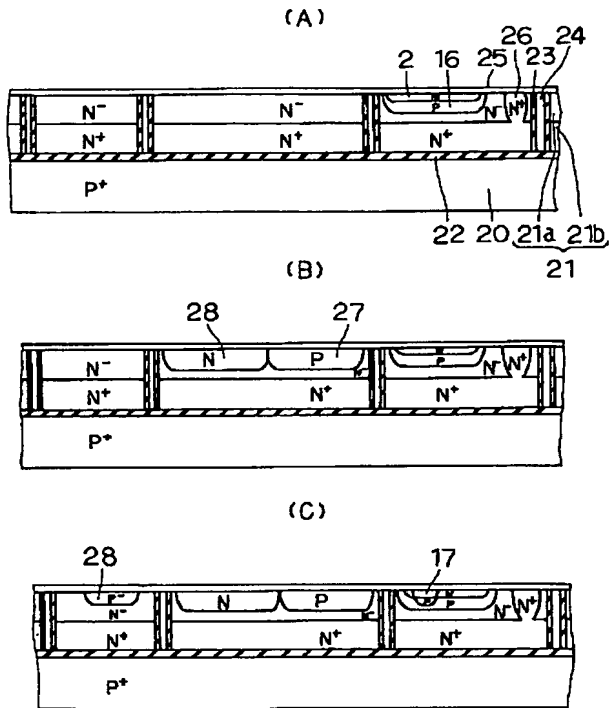
【図6】



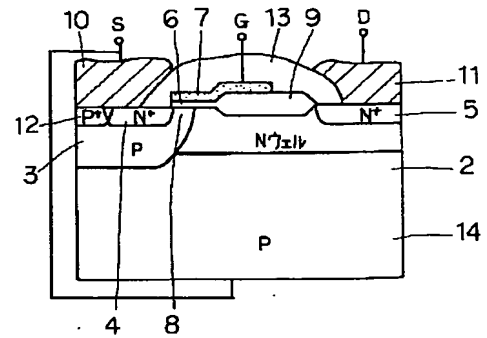
【図7】



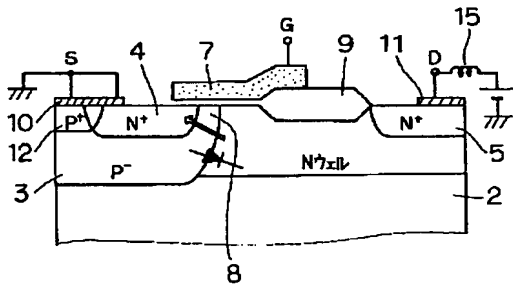
【図5】



【図9】



【図10】



フロントページの続き

(72)発明者 前田 浩  
愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 飯田 真喜男  
愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内